

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP409205147A

PAT-NO: JP409205147A

DOCUMENT-IDENTIFIER: JP 09205147 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: August 5, 1997

INVENTOR-INFORMATION:

NAME

YUASA, HIROSHI

SAKURAI, KOJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRON CORP

N/A

APPL-NO: JP08010213

APPL-DATE: January 24, 1996

INT-CL (IPC): H01L021/82

ABSTRACT:

PROBLEM TO BE SOLVED: To attain the reduction of variation in breakdown voltage of anti-fuse elements.

SOLUTION: A lower wiring layer 12 is formed on an insulating substrate 11, and an upper wiring layer 18 is formed above the lower wiring layer 12 with a layer insulating film 19 in-between. An anti-fuse element is composed of a lower electrode 13 on the lower wiring layer 12; an anti-fuse film 15, made of amorphous silicon, on the lower electrode 13; and an upper electrode 17 formed on the anti-fuse film 15 and connected with the upper wiring layer 18. Additionally, a protective insulating film 16 is formed between the anti-fuse film 15, except for the contact area between the anti-fuse film 15 and the upper electrode 17, the lower electrode 13 and the lower wiring layer 12, and the layer insulating film 19.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-205147

(43)公開日 平成9年(1997)8月5日

(51)Int.Cl.⁶

H 0 1 L 21/82

識別記号

庁内整理番号

F I

H 0 1 L 21/82

技術表示箇所

F

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21)出願番号 特願平8-10213

(22)出願日 平成8年(1996)1月24日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 湯浅 寛

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 桜井 浩司

大阪府高槻市幸町1番1号 松下電子工業株式会社内

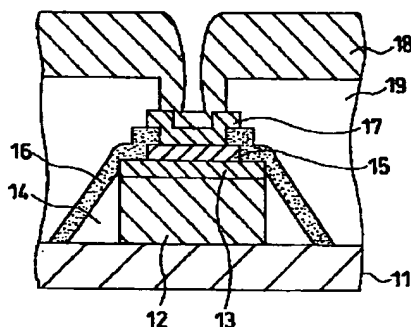
(74)代理人 弁理士 前田 弘 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 アンチヒューズ素子の絶縁破壊電圧のばらつきを低減できるようにすることを目的とする。

【解決手段】 絶縁性基板11上に下層配線12と下層配線12の上に層間絶縁膜19を介した上層配線18とが形成されている。アンチヒューズ素子は、下層配線12の上に、下部電極13と下部電極13の上のアモルファスシリコンからなるアンチヒューズ膜15とアンチヒューズ膜15の上に形成され上層配線18に接続された上部電極17とから形成されている。本半導体装置は、アンチヒューズ膜15及び上部電極17の接触部を除いたアンチヒューズ膜15、下部電極13及び下層配線12と層間絶縁膜19との間に保護絶縁膜16を備えている。



【特許請求の範囲】

【請求項1】 絶縁性基板上に形成された下層配線と、該下層配線の上に形成されており、前記下層配線に接続された下部電極と該下部電極の上に形成されたアンチヒューズ膜と該アンチヒューズ膜の上に形成された上部電極とを有するアンチヒューズ素子と、前記下層配線及びアンチヒューズ素子の上に層間絶縁膜を介して形成され前記上部電極に接続された上層配線と、前記アンチヒューズ膜における前記上部電極との接触部を除く領域、前記下部電極及び前記下層配線と前記層間絶縁膜との間に保護絶縁膜を備えていることを特徴とする半導体装置。

【請求項2】 絶縁性基板の上に下層配線となる第1の金属配線層と下部電極となる第1の導電層とを順次堆積した後、前記第1の金属配線層及び第1の導電層に対してエッチングを行なって、下層配線及び下部電極をそれぞれ形成する工程と、前記絶縁性基板の全面にわたってアンチヒューズ膜形成層を堆積した後、該アンチヒューズ膜形成層に対して、前記下部電極上の領域を残すエッチングを行なってアンチヒューズ膜を形成する工程と、前記絶縁性基板の全面にわたって保護絶縁膜を堆積した後、該保護絶縁膜に対して選択的にエッチングを行なって前記アンチヒューズ膜の上面を露出させる工程と、露出した前記アンチヒューズ膜の上に第2の導電層を堆積した後、該第2の導電層に対して選択的にエッチングを行なって上部電極を形成する工程と、前記絶縁性基板の全面にわたって層間絶縁膜を堆積した後、前記上部電極上の前記層間絶縁膜に対して選択的にエッチングを行なって、前記上部電極の上面が露出する開口部を形成する工程と、前記層間絶縁膜の上並びに前記開口部の壁面及び底面に第2の金属配線層を堆積して上層配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置におけるアンチヒューズ素子を備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、ゲートアレイのプロトタイプ及びゲートアレイの代替品として、ユーザー自身によって論理をプログラミングできるFPGA (Field-Programmable Gate Array) が利用されている。FPGAの主たるプログラミング方式はメモリー方式とアンチヒューズ方式との2種類があり、FPGAの高速化及び高集積化の観点からアンチヒューズ方式が有望視されている。さらに、アンチヒューズ素子は、FPGAの高速化及び高集積化のために、多結晶シリコンとシリコン基板に挟まれ

た構造に替わるものとして金属配線間に挟まれた構造が開発されている。アンチヒューズ素子は通常は閉回路または高抵抗状態であって、電氣的なプログラミング信号により低抵抗状態に変化する素子である。

【0003】以下、従来の半導体装置を図面を参照しながら説明する。

【0004】図5は従来のアンチヒューズ素子を備えた半導体装置の断面構造図である。図3において、51は絶縁性基板、52は絶縁性基板51の上に形成されたアルミニウム合金からなる下層配線、53は下層配線52の上に形成されたチタンナイトライドからなる下部電極、54は下部電極53の上に選択的に形成されたアモルファスシリコンからなるアンチヒューズ膜、55はアンチヒューズ膜54の上に選択的に形成されたチタンナイトライドからなる上部電極、56は上部電極55の上に形成されたアルミニウム合金からなる上層配線、57は下層配線52と上層配線56とを電氣的に絶縁する層間絶縁膜である。

【0005】以下、前記のように構成されたアンチヒューズ素子を備えた半導体装置の動作について説明する。

【0006】通常、アンチヒューズ素子は、下層配線52と上層配線56との間がアンチヒューズ膜54を介して絶縁されており、下層配線52と上層配線56とは閉回路となっている。

【0007】アンチヒューズ膜54により電氣的に絶縁されている下層配線52と上層配線56とからなる回路を形成する場合を考える。まず、下層配線52及び上層配線56に対して電氣的なプログラミング信号を外部から同時に入力する。外部から入力されたプログラミング信号により、アンチヒューズ膜54を介して下層配線52と上層配線56との間に電圧が印加される。アンチヒューズ膜54は、アンチヒューズ膜54を介して下層配線52と上層配線56との間に印加された電圧が所定の臨界値にまで達すると絶縁破壊を起こす。これにより、下層配線52と上層配線56との間が低抵抗状態となって、下層配線52と上層配線56とからなる新たな回路が形成される。

【0008】以下、前記のように構成されたアンチヒューズ素子を備えた半導体装置の製造方法を図面を参照しながら説明する。

【0009】図6及び図7は従来のアンチヒューズ素子を備えた半導体装置の製造方法を示す工程順断面図である。通常、絶縁性基板51上には複数個のアンチヒューズ素子が形成されるが、説明の便宜上、1個のアンチヒューズ素子の製造方法を示すことにする。

【0010】まず、図6(a)に示すように、絶縁性基板51の上にスパッタリング法を用いてアルミニウム合金層52Aと、アルミニウム合金層52Aの上にチタンナイトライド層13Aとを連続して堆積する。

【0011】次に、図6(b)に示すように、堆積した

チタンナイトライド層53Aの上に、プラズマCVD法を用いて、アモルファスシリコン層54Aを堆積する。

【0012】次に、図6(c)に示すように、アンチヒューズ膜形成領域をマスキングすると共にアモルファスシリコン層54Aに対してエッチングを行なって、アンチヒューズ膜54を形成する。

【0013】次に、図6(d)に示すように、下層配線53及び下部電極52の形成領域をマスキングして、チタンナイトライド層53Aとアルミニウム合金層52Aに対してエッチングを行なって、下部電極53及び下層配線52を形成する。

【0014】次に、図7(a)に示すように、絶縁性基板51の全面にわたって層間絶縁膜57を堆積した後、図7(b)に示すように、上部電極及び上層配線のパターンニングが容易になるように、下層配線52上の層間絶縁膜57の平坦化を行なう。

【0015】次に、図7(c)に示すように、アンチヒューズ素子形成領域にのみアンチヒューズ膜54が露出するように層間絶縁膜57をマスキングした後、層間絶縁膜57に対してエッチングを行なって、アンチヒューズ素子形成領域の開口部57aを形成する。

【0016】次に、図7(d)に示すように、スパッタリング法を用いて、層間絶縁膜57並びにアンチヒューズ素子形成領域の開口部57aの側面及び底面にチタンナイトライド層と、チタンナイトライド層の上に連続してアルミニウム合金層とを堆積した後、アルミニウム合金層をマスキングして、アルミニウム合金層及びチタンナイトライド層に対してエッチングを行なうことにより、上層配線56及び上部電極55をそれぞれ形成する。

【0017】

【発明が解決しようとする課題】しかしながら、前記従来のアンチヒューズ素子を備えた半導体装置は、層間絶縁膜57の平坦化を行なった後に、アンチヒューズ素子形成領域の層間絶縁膜57に対してエッチングを行なって開口部57aを形成するため、同一基板上に複数のアンチヒューズ素子を形成する場合は、アンチヒューズ素子形成領域の層間絶縁膜57の開口部57aの深さにばらつきが生じる。その結果、アンチヒューズ膜54の膜厚が不揃いとなるため、アンチヒューズ素子の絶縁破壊電圧のばらつきが大きくなるという問題を有していた。

【0018】以下、従来のアンチヒューズ素子に生じる問題点について詳細を述べる。

【0019】FPGAに代表されるアンチヒューズ素子を備えた半導体集積回路には、通常、複数のアンチヒューズ素子が形成される。図7(c)に示すアンチヒューズ素子形成領域における層間絶縁膜57の開口部57aの深さには、層間絶縁膜57を堆積する際に層間絶縁膜57の堆積膜厚に起因するばらつきと、平坦化工程の

際に発生する層間絶縁膜57の膜厚に起因するばらつきとが生じる。

【0020】層間絶縁膜57の開口部57aの深さのばらつきは、図7(c)に示すアモルファスシリコンからなるアンチヒューズ膜54を露出させる工程において、層間絶縁膜57のアンチヒューズ素子形成領域に位置するアンチヒューズ膜54のエッチング量がアンチヒューズ素子の形成箇所によりそれぞれ異なるため、層間絶縁膜57に対してエッチングを行なって開口部57aを形成した後のアンチヒューズ膜54の膜厚にばらつきを生じさせることになる。

【0021】従って、アンチヒューズ膜54の絶縁破壊電圧は、主としてアンチヒューズ膜54の膜厚に依存するため、エッチング後のアンチヒューズ膜54の膜厚のばらつきがそのまま、アンチヒューズ膜54の絶縁破壊電圧のばらつきとなる。FPGAのプログラム素子としてアンチヒューズ素子を用いる際に、このアンチヒューズ膜54の絶縁破壊電圧のばらつきは、プログラミング上、また信頼性上の大きな問題となっている。

【0022】本発明は前記従来の問題を解決し、アンチヒューズ膜の絶縁破壊電圧のばらつきを低減できるようにすることを目的とする。

【0023】

【課題を解決するための手段】前記の目的を達成するため、本発明は、層間絶縁膜を形成するよりも前に、下部電極、アンチヒューズ膜及び上部電極を形成するものである。

【0024】具体的に請求項1の発明が講じた解決手段は、半導体装置を、絶縁性基板上に形成された下層配線と、該下層配線の上に形成されており、前記下層配線に接続された下部電極と該下部電極の上に形成されたアンチヒューズ膜と該アンチヒューズ膜の上に形成された上部電極とを有するアンチヒューズ素子と、前記下層配線及びアンチヒューズ素子の上に層間絶縁膜を介して形成され前記上部電極に接続された上層配線と、前記アンチヒューズ膜における前記上部電極との接触部を除く領域、前記下部電極及び前記下層配線と前記層間絶縁膜との間に保護絶縁膜を備えている構成とするものである。

【0025】請求項1の構成により、上部電極は、アンチヒューズ膜及び下部電極が膜厚の薄い保護絶縁膜により覆われ、該保護絶縁膜の上部電極形成領域が除去されて露出したアンチヒューズ膜上の上部電極形成領域に形成されているため、アンチヒューズ膜の膜厚のばらつきが無い。

【0026】請求項2の発明は、半導体装置の製造方法を、絶縁性基板上に下層配線となる第1の金属配線層と下部電極となる第1の導電層とを順次堆積した後、前記第1の金属配線層及び第1の導電層に対してエッチングを行なって、下層配線及び下部電極をそれぞれ形成する工程と、前記絶縁性基板の全面にわたってアンチヒューズ

5

ーズ膜形成層を堆積した後、該アンチヒューズ膜形成層に対して、前記下部電極上の領域を残すエッチングを行なってアンチヒューズ膜を形成する工程と、前記絶縁性基板の全面にわたって保護絶縁膜を堆積した後、該保護絶縁膜に対して選択的にエッチングを行なって前記アンチヒューズ膜の上面を露出させる工程と、露出した前記アンチヒューズ膜の上に第2の導電層を堆積した後、該第2の導電層に対して選択的にエッチングを行なって上部電極を形成する工程と、前記絶縁性基板の全面にわたって層間絶縁膜を堆積した後、前記上部電極上の前記層間絶縁膜に対して選択的にエッチングを行なって、前記上部電極の上面が露出する開口部を形成する工程と、前記層間絶縁膜の上並びに前記開口部の壁面及び底面に第2の金属配線層を堆積して上層配線を形成する工程とを備えている構成とするものである。

【0027】請求項2の構成により、下部電極上にアンチヒューズ膜を形成した後、アンチヒューズ膜、下部電極及び下層配線を覆う保護絶縁膜を堆積して、アンチヒューズ膜上の保護絶縁膜に対してエッチングを行なってアンチヒューズ膜を露出させ、該露出部分をふさぐように上部電極を形成した後、基板上の全面にわたって層間絶縁膜を堆積して平坦化するため、同一基板上に複数のアンチヒューズ素子を形成した場合に従来のような層間絶縁膜を堆積する工程又は層間絶縁膜を平坦化する工程におけるアンチヒューズ膜の膜厚のばらつきを無くすることができる。

【0028】

【発明の実施の形態】以下、本発明の一実施形態に係る半導体装置を図面を参照しながら説明する。

【0029】図1は本発明の一実施形態に係るアンチヒューズ素子を備えた半導体装置の断面構造図である。図1において、11は絶縁性基板、12は絶縁性基板11の上に形成されたアルミニウム合金からなる下層配線、13は下層配線12の上に形成されたチタンナイトライドからなる下部電極、14は下層配線12の側壁に形成された二酸化シリコンからなる側壁絶縁膜、15は下部電極13の上に形成されたアモルファスシリコンからなるアンチヒューズ膜、16は上部電極形成時に下部電極13及びアンチヒューズ膜15を保護する二酸化シリコンからなる保護絶縁膜、17はアンチヒューズ膜15の上に形成されたチタンナイトライドからなる上部電極、18は上部電極17の上に形成されたアルミニウム合金からなる上層配線、19は下層配線12と上層配線18とを電気的に絶縁する二酸化シリコンからなる層間絶縁膜であり、下部電極13、アンチヒューズ膜15及び上部電極17によりアンチヒューズ素子が形成されている。

【0030】図1に示すように、下層配線12及び上層配線18は半導体集積回路の回路要素であって、下層配線12及び上層配線18は、アンチヒューズ素子が形成

6

されている領域及び回路設計上必要とされる接点以外の領域においては、側壁絶縁膜14、保護絶縁膜16及び層間絶縁膜19により電気的に絶縁されている。下層電極13は下層配線12の上に形成されており、下層配線12と電気的に導通している。アンチヒューズ膜15は、アンチヒューズ膜15の下面において下層電極13と接しており、アンチヒューズ膜15の上面において上部電極17と接している。上部電極17は、上部電極17の下面においてアンチヒューズ膜15及び保護絶縁膜16と接している。また、上部電極17は上部電極17の上面において上層配線18と接し、上層配線18と電気的に導通している。本実施形態において、アンチヒューズ膜15と上部電極17とのコンタクト部分を除いたアンチヒューズ膜15及び下部電極13は保護絶縁膜16により覆われており、下層配線12の側壁は側壁絶縁膜14により覆われている。

【0031】このように、上部電極17は、アンチヒューズ膜15及び下部電極13が層間絶縁膜19よりも膜厚の薄い保護絶縁膜16により覆われ、保護絶縁膜16が除去されて、アンチヒューズ膜15が露出した領域に形成されているため、アンチヒューズ膜15の膜厚のばらつきが無くなるため、アンチヒューズ膜の絶縁破壊電圧のばらつきが低減する。

【0032】以下、本発明の一実施形態に係る半導体装置の製造方法を図面を参照しながら説明する。図2～図4は本発明の一実施形態に係るアンチヒューズ素子を備えた半導体装置の製造方法を示す工程順断面図である。通常、絶縁性基板11上には複数のアンチヒューズ素子が形成されるが、従来例と同様に、1個のアンチヒューズ素子の製造方法を示す。

【0033】図2において、12Aはアルミニウム合金よりなり下層配線12となる下層配線形成層、13Aはチタンナイトライドよりなり下部電極13となる下部電極形成層、14Aは二酸化シリコンよりなり側壁絶縁膜14となる側壁絶縁膜形成層、15Aはアモルファスシリコンよりなりアンチヒューズ膜15となるアンチヒューズ膜形成層であり、図1に説明した部材と同一の部材には同一の符号を付して説明を省略する。

【0034】まず、図2(a)に示すように、スパッタリング法を用いて絶縁性基板11の上に下層配線形成層12Aを800nmの厚さに堆積し、続いて下層配線形成層12Aの上に下部電極形成層13Aを200nmの厚さに堆積する。

【0035】次に、図2(b)に示すように、堆積した下部電極形成層13Aの下部電極形成領域をマスキングし、且つ、下部電極形成層13A及び下層配線形成層12Aに対してエッチングを行なって下部電極13と下層配線12とを形成する。

【0036】次に、図2(c)及び図2(d)に示すように、プラズマCVD法を用いて側壁絶縁膜形成層14

Aを2000nmの厚さに堆積した後、RIE (Reactive-Ion-Etching) 法を用いて側壁絶縁膜形成層14Aに対して2000nmのエッチングを行なって側壁絶縁膜14を形成する。

【0037】次に、図2(e)に示すように、全面にプラズマCVD法を用いてアンチヒューズ膜形成層15Aを150nmの厚さに堆積する。

【0038】次に、図3(a)に示すように、アンチヒューズ素子形成領域のアンチヒューズ膜形成層15Aをマスキングし、且つ、アンチヒューズ膜形成層15Aに10 対してエッチングを行なって、アンチヒューズ膜15を形成する。

【0039】次に、図3(b)及び図3(c)に示すように、プラズマCVD法を用いて絶縁性基板11の全面にわたって保護絶縁膜16を堆積した後、保護絶縁膜16のアンチヒューズ素子形成領域をマスキングし、且つ、保護絶縁膜16に対してエッチングを行なって、アンチヒューズ素子形成領域にのみ、アモルファスシリコンからなるアンチヒューズ膜15を露出させる。このエッチング工程において、保護絶縁膜16は薄く、しかも20 均一な厚さであるため、アンチヒューズ膜15の膜厚は保護絶縁膜16に対するエッチングによってばらつくことがない。

【0040】次に、図3(d)に示すように、スパッタリング法を用いて保護絶縁膜16及びアンチヒューズ素子形成領域のアンチヒューズ膜15の上に、チタンナイトライド層を200nmの厚さに堆積した後、アンチヒューズ膜15の直上のみチタンナイトライド層が残るように、チタンナイトライド層をマスキングし、且つ、チタンナイトライド層に対してエッチングを行なって、30 上部電極17を形成する。

【0041】次に、図3(e)に示すように、プラズマCVD法を用いて、下層配線12と上層配線とを電気的に絶縁すると共に、下層配線12と上層配線との間を平坦化する層間絶縁膜19を1800nmの厚さに堆積した後、図4(a)に示すように、上層配線層18のパターニングが容易になるようにするために、レジストエッチバック法又は化学的機械研磨法を用いて段差を有する層間絶縁膜19の凸部分のみに対してエッチングを行なって、層間絶縁膜19の平坦化を行なう。

【0042】次に、図4(b)に示すように、上部電極17の上の層間絶縁膜19をマスキングし、且つ、層間絶縁膜19に対してエッチングを行なって、層間絶縁膜19から上部電極17を露出させる。これにより、上部電極17と上層配線を接触させる開口部19aを形成する。

【0043】次に、図4(c)に示すように、スパッタリング法を用いて層間絶縁膜19の上並びに層間絶縁膜19の開口部19aの底面及び壁面にアルミニウム合金層を堆積した後、アルミニウム合金層をマスキングし、40

且つ、アルミニウム合金層に対してエッチングを行なって、上層配線18を形成する。

【0044】なお、側壁絶縁膜14は、アンチヒューズ膜15及び保護絶縁膜16の膜厚が下部電極13上の周辺部であっても、均一で且つ十分な厚みを得られるのであれば省略してもよい。

【0045】このように、本実施形態に係る製造方法によると、下部電極13の上にアンチヒューズ膜15を形成した後、アンチヒューズ膜15、下部電極13及び下部配線12を覆う層間絶縁膜19よりも膜厚が薄く且つ均一な保護絶縁膜16を形成して、該保護絶縁膜16に対してエッチング行なってアンチヒューズ膜15を露出すると共に、該露出部分をふさぐように上部電極17を形成する。その後、絶縁性基板11の全面にわたって層間絶縁膜19を形成して平坦化した後、平坦化された層間絶縁膜19を開口して上部電極17を露出させた後、上部電極17に接続する上層配線18を形成する。

【0046】すなわち、下部電極13、アンチヒューズ膜15及び上部電極17を形成した後、層間絶縁膜19を形成し平坦化を行なうため、同一基板上に複数個のアンチヒューズ素子を形成する場合に、従来のように層間絶縁膜19を堆積する工程又は層間絶縁膜19を平坦化する工程において生じる層間絶縁膜19の膜厚のばらつきに起因するアンチヒューズ膜15の膜厚のばらつきを無くすることができる。これにより、アンチヒューズ膜15の絶縁破壊電圧のばらつきを低減することができるので、アンチヒューズ膜15の絶縁破壊電圧が安定することになり、従って、良好なプログラミング特性及び高信頼性を有するアンチヒューズ素子を備えた半導体装置を得ることができる。

【0047】

【発明の効果】以上説明したように、請求項1の発明に係る半導体装置によると、上部電極は、アンチヒューズ膜及び下部電極を層間絶縁膜よりも膜厚の薄い保護絶縁膜により覆われ、該保護絶縁膜が除去されてアンチヒューズ膜が露出した領域に形成されているため、アンチヒューズ膜の膜厚のばらつきが無くなるので、アンチヒューズ膜の絶縁破壊電圧のばらつきが低減することになる。従って、アンチヒューズ膜の絶縁破壊電圧のばらつきが低減するので、アンチヒューズ膜の絶縁破壊電圧が安定する。

【0048】請求項2の発明に係る半導体装置の製造方法によると、下部電極とアンチヒューズ膜と上部電極とからなるアンチヒューズ素子を、層間絶縁膜を形成するよりも前に形成するため、同一基板上に複数個のアンチヒューズ素子を形成する場合に、従来のような層間絶縁膜を堆積する工程又は層間絶縁膜を平坦化する工程におけるアンチヒューズ膜の膜厚のばらつきが発生しないので、アンチヒューズ膜の絶縁破壊電圧のばらつきが低減することになる。従って、アンチヒューズ膜の絶縁破壊

9

10

電圧のばらつきが低減するので、アンチヒューズ膜の絶縁破壊電圧が安定する。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアンチヒューズ素子を備えた半導体装置の断面構造図である。

【図2】本発明の一実施形態に係るアンチヒューズ素子を備えた半導体装置の製造方法を示す工程順断面図である。

【図3】本発明の一実施形態に係るアンチヒューズ素子を備えた半導体装置の製造方法を示す工程順断面図である。

【図4】本発明の一実施形態に係るアンチヒューズ素子を備えた半導体装置の製造方法を示す工程順断面図である。

【図5】従来のアンチヒューズ素子を備えた半導体装置の断面構造図である。

【図6】従来のアンチヒューズ素子を備えた半導体装置の製造方法を示す工程順断面図である。

【図7】従来のアンチヒューズ素子を備えた半導体装置の製造方法を示す工程順断面図である。

【符号の説明】

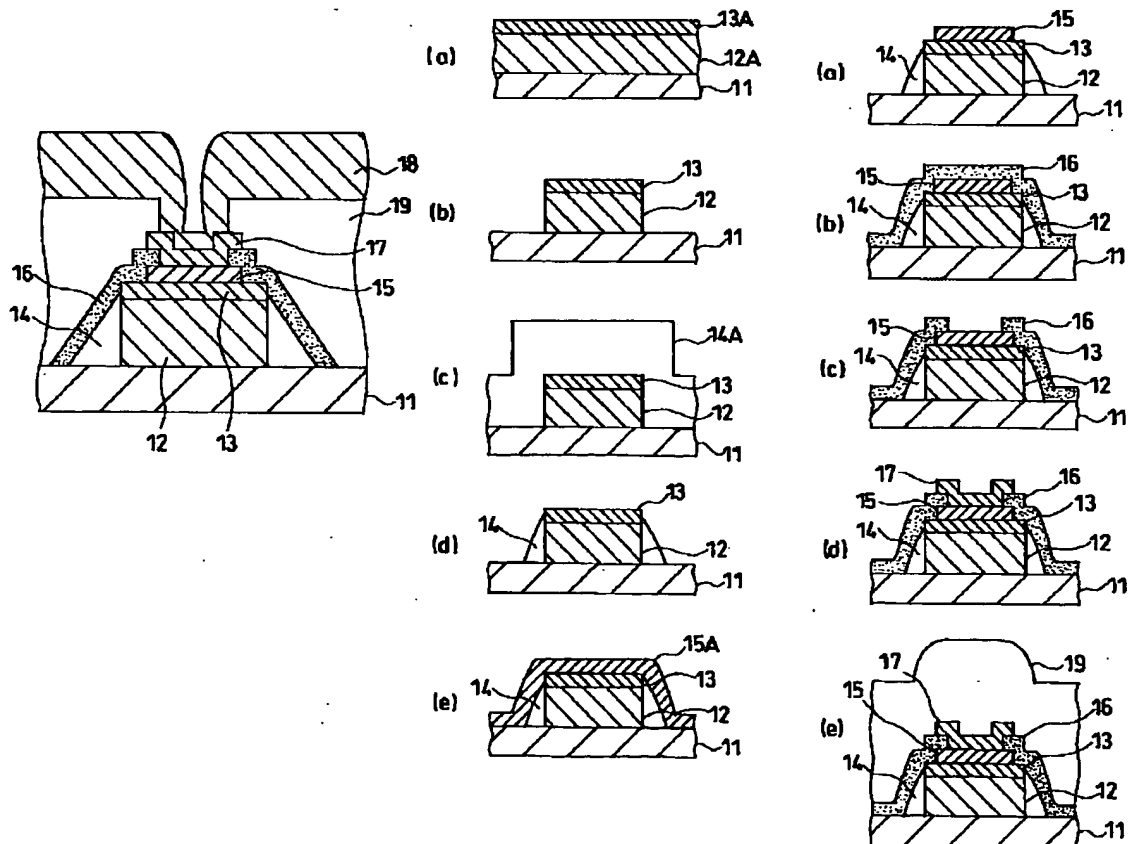
11 絶縁性基板
12 下層配線

12A 下層配線形成層
13 下部電極
13A 下部電極形成層
14 側壁絶縁膜
14A 側壁絶縁膜形成層
15 アンチヒューズ膜
15A アンチヒューズ膜形成層
16 保護絶縁膜
17 上部電極
18 上層配線
19 層間絶縁膜
19A 開口部
51 絶縁性基板
52 下層配線
52A アルミニウム合金層
53 下部電極
53A チタンナイトライド層
54 アンチフューズ膜
54A アモルファスシリコン層
55 上部電極
56 上層配線
57 層間絶縁膜
57a 開口部

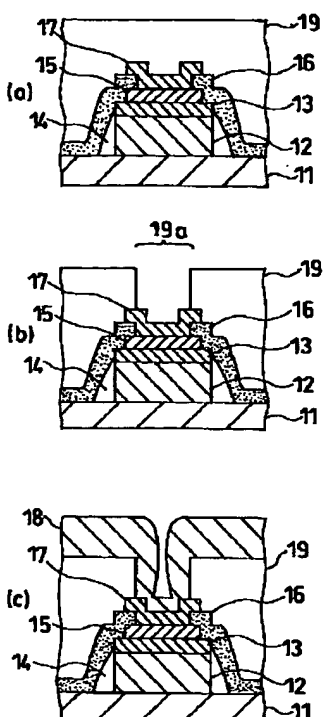
【図1】

【図2】

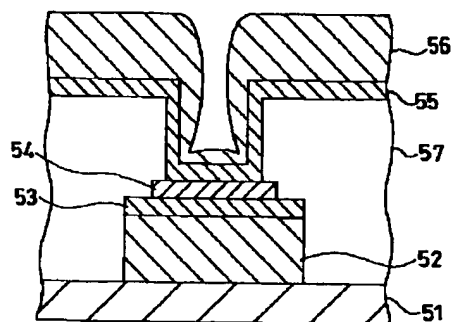
【図3】



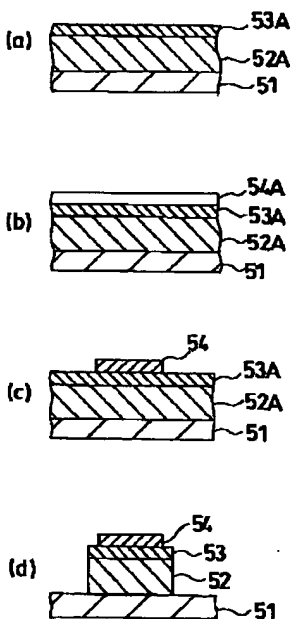
【図4】



【図5】



【図6】



【図7】

